

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年 2月16日

JC678 U.S. PRO
09/494953
02/01/00

出願番号
Application Number:

平成11年特許願第037910号

出願人
Applicant(s):

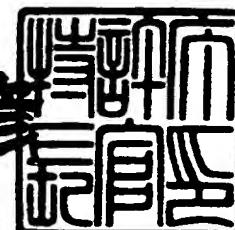
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年11月19日

特許庁長官
Commissioner,
Patent Office

近藤 隆



【書類名】 特許願
【整理番号】 9940011
【提出日】 平成11年 2月16日
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/02
【発明の名称】 半導体装置
【請求項の数】 17
【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
【氏名】 加藤 好治
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【特許出願人】
【識別番号】 000237617
【氏名又は名称】 富士通ヴィエルエスアイ株式会社
【代理人】
【識別番号】 100068755
【住所又は居所】 岐阜市大宮町2丁目12番地の1
【弁理士】
【氏名又は名称】 恩田 博宣
【電話番号】 058-265-1810
【手数料の表示】
【予納台帳番号】 002956
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

特平11-037910

【物件名】 要約書 1

【包括委任状番号】 9706390

【包括委任状番号】 9711899

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 ボードの配線に対する導通試験を行うための試験回路を有する半導体装置であって、

通常モードにおいて信号を伝達するバス配線と、入力端子に入力された信号に応答して出力端子を介して信号を出力する試験回路とを備え、

前記入力端子と前記試験回路と前記出力端子との何れかの間の接続には、前記バス配線が経由されることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、

前記試験回路は、入力論理回路と、バスドライブ回路とを備え、

前記入力論理回路を前記入力端子に近接して配置し、前記バスドライブ回路を前記バス配線に近接して配置したことを特徴とする半導体装置。

【請求項3】 請求項2に記載の半導体装置において、

前記バスドライブ回路は、高電位電源とバス配線との間に直列接続されたPMOSトランジスタと、低電位電源とバス配線との間に直列接続されたNMOSトランジスタとからなり、それらMOSトランジスタのバス配線に近い側のMOSトランジスタのゲートにはバスドライブ回路の活性化信号が入力されたことを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体装置において、

前記入力端子を所定電位にクランプするクランプ回路を備え、該クランプ回路は、導通試験時に前記入力端子を所定電位にクランプし、通常動作時に前記クランプを解除することを特徴とする半導体装置。

【請求項5】 ボードの配線に対する導通試験を行うための試験回路を有する半導体装置であって、

入力端子に入力された信号に応答して出力端子から信号を出力する試験回路と、前記入力端子を所定電位にクランプするクランプ回路とを備え、

前記クランプ回路は、導通試験時に前記入力端子を所定電位にクランプし、通常動作時に前記入力端子のクランプを解除することを特徴とする半導体装置。

【請求項6】 請求項4又は5に記載の半導体装置において、前記クランプ回路は、前記試験回路を活性化させる試験活性化信号により制御されることを特徴とする半導体装置。

【請求項7】 請求項4又は5に記載の半導体装置において、前記クランプ回路はMOSトランジスタからなり、そのゲートには前記入力端子の電位レベルを反転した信号が入力されることを特徴とする半導体装置。

【請求項8】 請求項4又は5に記載の半導体装置において、前記クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、前記試験回路を活性化させる試験活性化信号とによって制御されることを特徴とする半導体装置。

【請求項9】 請求項4又は5に記載の半導体装置において、前記クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、通常動作を検出する通常モード判定信号とによって制御されることを特徴とする半導体装置。

【請求項10】 請求項9に記載の半導体装置において、前記通常モード判定信号は、電源投入時に行うべき動作を検出することで発生することを特徴とする半導体装置。

【請求項11】 請求項10に記載の半導体装置において、前記電源投入時に行うべき動作は、プリチャージ動作、モード設定動作、リフレッシュ動作の中の少なくともいずれか1つの動作であることを特徴とする半導体装置。

【請求項12】 請求項4又は5に記載の半導体装置において、前記クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、前記通常動作を判定する判定信号とによって制御されることを特徴とする半導体装置。

【請求項13】 請求項4又は5に記載の半導体装置において、前記入力端子は、チップセレクト信号を入力する端子であることを特徴とする半導体装置。

【請求項14】 請求項4又は5に記載の半導体装置において、

前記入力端子は、コラムアドレスストローブ信号を入力する端子であることを特徴とする半導体装置。

【請求項15】 請求項4又は5に記載の半導体装置において、

前記入力端子は、クロックイネーブル信号を入力する端子であることを特徴とする半導体装置。

【請求項16】 請求項4又は5に記載の半導体装置において、

前記クランプ回路は、前記導通試験がエントリされるときに所定の信号が入力される少なくとも1本の前記入力端子を導通試験がエントリされる際の信号レベルに対して反転した電位レベルにクランプすることを特徴とする半導体装置。

【請求項17】 請求項4又は5に記載の半導体装置において、

前記クランプ回路は、電源投入時にラッチ回路が保持する所定の電位レベルに基づいて前記入力端子を所定電位にクランプすることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、詳しくはボードに実装された時に行われるボードの配線とパッケージの端子との導通試験を可能にする回路を備えた半導体装置に関するものである。

【0002】

【従来技術】

近年、半導体デバイス（半導体装置）においては搭載する機器等の小型化に伴いさらなる小型化と高集積化が要求されている。又、同様に、ボードの実装効率を上げるために半導体デバイスのパッケージ（半導体装置を収容するパッケージ）も小型化が要求され、そのパッケージにおいてはチップサイズパッケージ（CSP）が普及している。このCSP、例えばグリッドアレイ型CSPは、一般にパッケージの一側面に端子（はんだボール）が格子状に配列されていて、端子が配列されている一側面をボード上の微細化された配線パターンに対して接続（実装）する。このCSPの出現は、端子間隔が益々狭く多ピン化の一途をたどるパッケージをボード上の微細化された配線パターンに対して接続（実装）するのを

可能にしている

【0003】

【発明が解決しようとする課題】

ところで、一般にボードに各半導体デバイスを実装した時、パッケージの端子とボード上の配線との間で確実に接続（導通）されているか否かの検査が行われている。この検査は導通試験ともいわれ、従来ではプローブを端子とボード上の配線に当てて導通の有無を検査している。

【0004】

従って、このCSPにおいてもボードに実装した時、CSPの端子とボード上の配線との間で確実に接続（導通）されているか否か検査する必要がある。

しかしながら、CSPをボードに実装した時、CSPの端子はCSPとボードとの間に隠れてしまいプローブ等を当てて導通試験を行うことができなかった。又、仮にプローブを当てて試験が行えたとしても、CSPは一般的に端子が多く多ピンであるため、一つ一つプローブを当てて導通試験を行うことは効率が非常に悪い。

【0005】

そこで、CSPをボードに実装した状態で、同CSPに収容された半導体装置に対してボード上の配線から何らかの信号を送出し、その信号に対する応答を確認することによって、CSPの各端子がボード上の配線と接続（導通）されているかを検査する方法が考えられている。

【0006】

この試験方法を採用する場合、半導体装置のメーカーにおいては、出荷前（ボードに実装される前）に半導体装置自身の性能及び耐久試験等のための回路の他に、新たに出荷後であってボードに実装した後に行われる導通試験のための回路及び配線を半導体装置内に設ける必要が生じる。

【0007】

図13は、ボードに実装した後の導通試験を行うことができると考えられる半導体記憶装置に設けた回路と配線を説明するための回路図である。

図13において、半導体チップには複数の入力パッドIN0～INnと複数の出力パ

ッドDQ0～DQnを有している。又、半導体チップには試験用入力パッドINを有している。各入力パッドIN0～INnは、それぞれ入力バッファ81に接続され、その入力バッファ81は内部バスBLinを介して内部回路82に接続されている。各出力パッドDQ0～DQnは出力バッファ83に接続されその出力バッファ83は内部バスBLoutを介して内部回路82に接続されている。

【0008】

又、各入力パッドIN0～INnは導通試験のための試験回路85に接続され、その各試験回路85はそれぞれ対応する入力パッドIN0～INnを介して外部装置からの導通試験のための信号を入力する。又、各試験回路85は1つの試験用入力パッドINに接続され、その試験用入力パッドINを介して外部装置からの導通試験のための信号を入力する。一方、各出力パッドDQ0～DQnは試験専用出力回路86にそれぞれ接続され、その各試験専用出力回路86は導通試験のための信号を対応する出力パッドDQ0～DQnを介して外部装置に出力する。そして、各試験回路85とそれぞれ対応する試験専用出力回路86との間は、それぞれ試験専用内部バスBLexを介して接続されている。

【0009】

そして、各試験回路85は、入力パッドIN0～INnと試験用入力パッドINとから導通試験のための信号をそれぞれ外部装置から入力した時、検出信号をそれぞれ試験専用内部バスBLexを介して対応する試験専用出力回路86に出力する。各試験専用出力回路86は、この検出信号に応答して出力パッドDQ0～DQnを介して外部装置に応答信号を出力する。

【0010】

つまり、入力パッドIN0～INn及び試験用入力パッドINからのびたCSPの端子とボードの配線とが接続（導通）している時には、試験回路85は検出信号を出力する。反対に、非接続（非導通）の時には、試験回路85は検出信号を出力しない。従って、応答信号は出力されない。

【0011】

又、出力パッドDQ0～DQnからのびたCSPの端子とボードの配線とが接続（導通）している時には、検出信号に応答して試験専用出力回路86から応答信号が

外部装置に出力する。反対に、非接続（非導通）の時には、試験専用出力回路86からの応答信号は外部装置に出力されない。

【0012】

このようにして、応答信号の有無によって、CSPの各端子とボードの配線との間の導通試験を行うことができる。

しかしながら、半導体装置に試験回路85、試験専用出力回路86及び試験専用内部バスBLexを導通試験のために設けなければならず、半導体装置自身の回路規模が大きくなる問題が生じる。

【0013】

又、一般的に、ボード上には多数の半導体デバイスが実装される。この多数の半導体デバイスが実装されている場合、1つの半導体デバイスに対して導通試験を行っている時、他の半導体デバイスのパッケージに導通不良がありその導通不良に基づいて試験対象外の半導体デバイスが同時に選択されてしまうことが考えられる。この場合、複数の半導体デバイスが同時に動作することから、ボード上でバスファイトが生じる。従って、試験対象以外の半導体デバイスは動作しないような工夫も必要となる。

【0014】

本発明は、上記問題点を解消するためになされたものであって、その第1の目的は導通試験のための回路規模を小さくすることができる半導体装置を提供することにある。

【0015】

又、第2の目的は、導通不良に基づく誤動作で選択された導通試験が実施されないようにした半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

請求項1に記載の発明によれば、通常モードにおいて、信号が伝達されるバス配線を使用して導通試験が実施される。その結果、導通試験のための回路の追加に伴うチップサイズの増加が抑制される。

【0017】

請求項2に記載の発明によれば、試験回路の入力論理回路が入力端子側に配置され、試験回路のバスドライブ回路がバス配線側に配置される。従って、試験回路の追加による入力容量の増加や配線容量の増加が抑制される。その結果、試験回路の追加に伴い発生するアクセスタイムの悪化や消費電力の増加などの回路特性の悪化が防止される。

【0018】

請求項3に記載の発明によれば、バスドライブ回路は、高電位電源とバス配線との間に直列接続されたPMOSトランジスタと、低電位電源とバス配線との間に直列接続されたNMOSトランジスタとからなる。そして、それらMOSトランジスタのバス配線に近い側のMOSトランジスタのゲートにはバスドライブ回路の活性化信号が入力される。その結果、バスドライブ回路の非活性化時にいて、NMOSトランジスタ及びPMOSトランジスタの入力容量がバス配線に付加されることを防止できる。

【0019】

請求項4に記載の発明によれば、導通試験時において、クランプ回路により入力端子が所定電位にクランプされる。その結果、導通試験が確実に実施される。具体的に、ボード上で複数の半導体装置がバス配線で接続されている場合、複数の半導体装置が同時に導通試験を実施しないように入力端子のクランプを実施する。この場合、複数の半導体装置から同時に信号が出力されて、ボード上のバス配線でバスファイトが発生することが防止される。また、通常動作時では、入力端子のクランプが解除されるので、該クランプに伴うリーク電流が防止される。その結果、導通試験のための回路の追加に伴う回路特性の影響が低減される。

【0020】

請求項5に記載の発明によれば、通常動作時では、入力端子のクランプに伴うリーク電流が防止される。その結果、導通試験のための回路の追加に伴う回路特性の影響が低減される。

【0021】

請求項6に記載の発明において、試験活性化信号により試験回路が活性化されるとともにクランプ回路が制御される。従って、導通試験が実施される時に入力

端子が確実にクランプされる。

【0022】

請求項7に記載の発明によれば、MOSトランジスタにより入力端子が所定電位にクランプされる。そのMOSトランジスタのゲートには、入力端子の電位レベルを反転した信号が入力される。

【0023】

請求項8に記載の発明によれば、クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、試験回路を活性化させる試験活性化信号とによって制御される。具体的には、電源投入信号がオン又はオフされることによって、クランプ回路によるクランプが実施され、導通試験の終了時にクランプが解除される。

【0024】

請求項9に記載の発明によれば、クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、通常動作を検出する通常モード判定信号とによって制御される。

【0025】

請求項10に記載の発明によれば、通常モード判定信号は、電源投入時に行うべき動作を検出することで発生される。

請求項11に記載の発明によれば、プリチャージ動作、モード設定動作、リフレッシュ動作の中の少なくともいずれか1つの動作を検出することにより通常モード判定信号が発生される。

【0026】

請求項12に記載の発明によれば、クランプ回路は、電源投入時に所定時間オン又はオフする電源投入信号と、前記通常動作を判定する判定信号とによって制御される。具体的には、電源投入信号がオン又はオフされることによって、クランプ回路によるクランプが実施され、通常動作に移行したときにクランプが解除される。

【0027】

請求項13に記載の発明によれば、チップセレクト信号が入力される入力端子

が前記クランプ回路によりクランプされる。この場合、半導体装置から誤って出力信号が出力されることが防止される。つまり、複数の半導体装置が実装されたボード上のバス配線でバスファイトが発生することが防止される。

【0028】

請求項14に記載の発明によれば、コラムアドレスストローブ信号が入力される入力端子が前記クランプ回路によりクランプされる。

請求項15に記載の発明によれば、クロックイネーブル信号が入力される入力端子が前記クランプ回路によりクランプされる。

【0029】

請求項16に記載の発明によれば、導通試験がエントリされるときに所定の信号が入力される少なくとも1本の入力端子は、クランプ回路により導通試験がエントリされる際の信号レベルに対して反転した電位レベルにクランプされる。従って、前記入力端子がボード上の配線と非接続であったとしても、誤って導通試験が実施されることはない。

【0030】

請求項17に記載の発明によれば、源投入時にラッチ回路が保持する所定の電位レベルに基づいてクランプ回路により入力端子が所定電位にクランプされる。

【0031】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図面に従って説明する。

【0032】

図1は、半導体装置としてのSDRAM (Synchronous Dynamic Random Access Memory) の一部回路図である。このSDRAMのパッケージとしてチップサイズパッケージ(CSP)が採用されている。

【0033】

SDRAMは、入力パッドIN0~INn、試験用入力パッドIN、出力パッドDQ0~DQn、入力バッファ11、試験用入力バッファ12、出力バッファ13、試験回路14、バスドライブ回路15及び内部回路16を有している。なお、内部回路1

6はメモリセルアレイを含み、入力パッドIN0～INnから入力される信号に応答して信号を出力する。

【0034】

各入力パッドIN0～INnは、それぞれ入力バッファ11に接続され、その入力バッファ11は内部バスBLinを介して内部回路16に接続されている。各出力パッドDQ0～DQnは出力バッファ13に接続されその出力バッファ13は内部バスBLoutを介してバスドライブ回路15に接続される。そして、そのバスドライブ回路15は内部回路16に接続されている。

【0035】

また、各入力パッドIN0～INnは試験回路14に接続され、その各試験回路14はそれぞれ対応する入力パッドIN0～INnを介して外部装置からの導通試験のための信号を入力する。又、試験用入力パッドINは、試験用入力バッファ12を介して各試験回路14に接続され、その試験用入力パッドINを介して外部装置からの導通試験のための信号を入力する。試験回路14は前記内部バスBLoutに接続される。

【0036】

ここで、各回路11～15の回路構成を図2を用いて詳述する。

入力バッファ11は、直列接続された2個のインバータ回路20, 21からなり、入力パッドIN0からの信号を内部バスBLinを介して内部回路16に出力する。また、試験用入力バッファ12は直列接続された2つのインバータ回路22, 23からなり、試験用入力パッドINからの信号を試験回路14に出力する。

【0037】

試験回路14は、入力論理回路24とバスドライブ回路25とを有している。入力論理回路24は、エクスクルーシブノア回路26とインバータ回路27からなり、エクスクルーシブノア回路26の一方の入力端子は試験用入力バッファ12の出力端子と接続され、他方の入力端子は入力パッドIN0に接続される。エクスクルーシブノア回路26の出力端子はインバータ回路27の入力端子に接続され、該インバータ回路27の出力端子がバスドライブ回路25に接続される。従って、入力パッドIN0と試験用入力パッドINとからの入力信号の信号レベルが一

致したとき、入力論理回路24からLレベルの信号が出力され、入力信号の信号レベルが一致しないとき、入力論理回路24からHレベルの信号が出力される。

【0038】

このように、入力論理回路24は、入力パッドIN0~INnから入力される信号と、試験用入力パッドINから入力される信号との論理演算を実施して、その論理結果をバスドライブ回路25に出力する。

【0039】

バスドライブ回路25は、2個のPMOSトランジスタTP1,TP2と2個のNMOSトランジスタTN1,TN2とインバータ回路28とを有している。2個のPMOSトランジスタTP1,TP2と2個のNMOSトランジスタTN1,TN2とが外部電源（高電位電源）Vccとグランド（低電位電源）間に直列に接続される。そして、入力論理回路24からの信号がPMOSトランジスタTP2及びNMOSトランジスタTN1のゲート端子にそれぞれ入力され、試験活性化信号（以下、テスト信号という） ϕts がNMOSトランジスタTN2のゲート端子に入力されるとともにインバータ回路28を介してPMOSトランジスタTP1のゲート端子に入力される。

【0040】

尚、テスト信号 ϕts とは、メモリコントローラ等の外部装置から入力される所定のコマンド信号に基づいてSDRAM内部で生成される信号であって、そのテスト信号 ϕts は、導通試験のためのテストモード時にHレベルとなり、それ以外ではLレベルとなる。

【0041】

従って、Hレベルのテスト信号 ϕts によりバスドライブ回路25が活性化され、そのバスドライブ回路25は、入力論理回路24からLレベルの信号が入力されることでHレベルの信号を出し、入力論理回路24からHレベルの信号が入力されることでLレベルの信号を出力する。また、Lレベルのテスト信号 ϕts によりバスドライブ回路25は非活性状態となり、その出力端子はハイインピーダンス状態となる。

【0042】

バスドライブ回路15は、2つのPMOSトランジスタTP3,TP4と2つのNM

OSトランジスタTN3,TN4と3つのインバータ回路30～32とを有して。2つのPMOSトランジスタTP3,TP4と2つのNMOSトランジスタTN3,TN4とが外部電源(高電位電源)Vccとグランド(低電位電源)間に直列に接続される。そして、内部回路16からの出力信号がインバータ回路30を介してPMOSトランジスタTP4及びNMOSトランジスタTN3のゲート端子に入力され、前記テスト信号 ϕ_{ts} が2個のインバータ回路31,32を介してPMOSトランジスタTP3のゲート端子に入力されるとともにインバータ回路31を介してNMOSトランジスタTN4のゲート端子に入力される。

【0043】

従って、Lレベルのテスト信号 ϕ_{ts} によりバスドライブ回路15が活性化され、そのバスドライブ回路15は、内部回路16からHレベルの信号が入力されることでHレベルの信号を出力し、内部回路16からLレベルの信号が入力されることでLレベルの信号を出力する。また、Hレベルのテスト信号 ϕ_{ts} によりバスドライブ回路15は非活性状態となり、その出力端子はハイインピーダンス状態となる。

【0044】

本実施形態では、導通試験時においてテスト信号 ϕ_{ts} はHレベルとなり、それ以外ではテスト信号 ϕ_{ts} はLレベルとなる。つまり、導通試験時において、バスドライブ回路15は非活性となって内部回路16からの出力信号を遮断し、バスドライブ回路25は活性となって入力論理回路24からの信号に応答して内部バスBLoutを介して出力バッファ13に信号を出力する。一方、導通試験が実施されないときは、バスドライブ回路25は非活性となって入力論理回路24からの信号を遮断し、バスドライブ回路15は活性となって内部回路16からの信号に応答して内部バスBLoutを介して出力バッファ13に信号を出力する。

【0045】

出力バッファ13は、PMOSトランジスタTP5、NMOSトランジスタTN5、 NAND回路33、ノア回路34、インバータ回路35～44を有している。PMOSトランジスタTP5とNMOSトランジスタTN5とが外部電源Vccとグランド間に直列に接続され、PMOSトランジスタTP5とNMOSトランジスタTN5との間

に出力パッドDQ0が接続される。PMOSトランジスタTP5のゲート端子には NAND回路33の出力端子が接続され、NMOSトランジスタTN5のゲート端子にはノア回路34の出力端子が接続される。

【0046】

そして、 NAND回路33の一方の入力端子には、 内部バスBLoutを伝達した信号が2個のインバータ回路36, 37からなるラッチ回路及びインバータ回路38を介して入力され、 その他方の入力端子には、 出力活性化信号 ϕ OEがインバータ回路43, 35を介して入力される。また、 ノア回路34の一方の入力端子には、 内部バスBLoutを伝達した信号がインバータ回路39、 2個のインバータ回路40, 41からなるラッチ回路及びインバータ回路44, 42を介して入力され、 その他方の入力端子には、 出力活性化信号 ϕ OEがインバータ回路43を介して入力される。

【0047】

つまり、 NAND回路33及びノア回路34に入力される出力活性化信号 ϕ OEに基づいて出力バッファ13が活性化するよう構成されている。そして、 活性化された出力バッファ13は、 バスドライブ回路15又はバスドライブ回路25からの信号に応答して出力パッドDQ0に信号を出力する。具体的には、 出力バッファ13は、 Hレベルの信号に応答してHレベルの信号を出力し、 Lレベルの信号に応答してLレベルの信号を出力する。また、 非活性化された出力バッファ13は、 出力パッドDQ0をハイインピーダンス状態にする。

【0048】

さらに、 本実施形態のSDRAMはクランプ回路45, 46を有している。クランプ回路45はPMOSトランジスタTP6からなり、 クランプ回路46はPMOSトランジスタTP7からなる。クランプ回路45のPMOSトランジスタTP6は、 外部電源Vccと、 試験用入力パッドINと試験用入力バッファ12との間に接続され、 そのゲート端子は接地されている。同様に、 クランプ回路46のPMOSトランジスタTP7は、 外部電源Vccと、 入力パッドIN0と入力バッファ11との間に接続され、 そのゲートは接地されている。

【0049】

従って、クランプ回路45, 46は、オープン状態の試験用入力パッドINや入力パッドIN0の電位を外部電源Vccレベル（Hレベル）にクランプする。但し、クランプ回路45, 46を構成するPMOSトランジスタTP6, TP7の駆動電流は非常に小さく、入力パッドIN, IN0の電位レベルは外部装置からの信号によりLレベル或いはHレベルに駆動される。

【0050】

次に、上記のように構成したSDRAMの作用を説明する。

ボード上に実装されたSDRAMが導通試験を実施するためのテストモードに移行してテスト信号 ϕ_{ts} がHレベルとなる。すると、バスドライブ回路25が活性化されるとともにバスドライブ回路15が非活性化される。そして、図示しない外部装置が、試験用入力パッドIN及び入力パッドIN0～INnに対して試験用の信号を出力することで導通試験が実施される。尚、出力バッファ13は活性化信号 ϕ_{OE} により活性化されて本導通試験が実施される。

【0051】

先ず、外部装置は、試験用入力パッドIN及び各入力パッドIN0～INnの全てに対してHレベルの信号を出力する。但し、外部装置は、全てのパッドIN, IN0～INnに対応した出力端子をハイインピーダンス状態にしてもよい。この場合、各入力パッドIN, IN0～INnが仮にボード上の配線と非接続（非導通）状態であったとしてもクランプ回路45, 46により各入力パッドIN, IN0～INnの電位はHレベルとなる。そして、入力論理回路24の各入力端子には、Hレベルの入力信号が入力される。つまり、入力信号が一致するため入力論理回路24からLレベルの信号が出力される。従って、バスドライブ回路25により内部バスBLoutがHレベルに駆動され、出力バッファ13を介して出力パッドDQ0～DQnからHレベルの応答信号が外部装置に対して出力される。このとき、外部装置に入力される応答信号がLレベルであれば、該応答信号に対応した出力パッドDQ0～DQnがボード上の配線と非接続（非導通）であることが確認される。

【0052】

次いで、外部装置は、入力パッドIN0～INnに対してはHレベルの信号を引き続き出力した状態で、試験用入力パッドINに対する出力信号をHレベルからL

レベルに変化させる。このとき、出力パッドDQ0～DQnを介して外部装置に入力される信号が変化すれば、試験用入力パッドINの接続が確認されるとともに出力パッドDQ0～DQnの接続が確認される。

【0053】

詳しくは、試験用入力パッドINがボード上の配線と接続（導通）していれば、試験用入力パッドINからLレベルの信号が入力論理回路24の一方の入力端子に入力され、入力パッドIN0～INnからHレベルの信号が入力論理回路24の他方の入力端子に入力される。つまり、入力信号が一致しないため入力論理回路24からHレベルの信号が出力される。そして、入力論理回路24からのHレベルの信号によりバスドライブ回路25が内部バスBLoutをLレベルに駆動して、出力バッファ13を介して出力パッドDQ0～DQnからLレベルの応答信号が外部装置に対して出力される。

【0054】

一方、試験用入力パッドINが非接続（非導通）であれば、試験用入力パッドINはクランプ回路45によりHレベルに駆動されるため、Hレベルの信号が入力論理回路24の一方の入力端子に入力される。つまり、入力信号が一致するため入力論理回路24からLレベルの信号が出力される。そして、バスドライブ回路25により内部バスBLoutがHレベルに駆動され、出力バッファ13を介して出力パッドDQ0～DQnからHレベルの応答信号が外部装置に対して出力される。

【0055】

従って、外部装置に入力される応答信号がHレベルからLレベルに変化すれば、試験用入力パッドINとの接続が確認されるとともに出力パッドDQ0～DQnの接続が確認される。また、応答信号がHレベル状態から変化しなければ、該応答信号に対応した出力パッドDQ0～DQnがボード上の配線と非接続となっていることが確認される。

【0056】

このように、出力パッドDQ0～DQnから出力される信号レベルにより試験用入力パッドIN及び出力パッドDQ0～DQnの接続状態が確認される。

同様に、外部装置は、試験用入力パッドINに対してHレベルの信号を出力し、

各入力パッドIN0～INnに対する出力信号を変化させる。このとき、出力パッドDQ0～DQnを介して外部装置に入力される応答信号が変化すれば、出力パッドDQ0～DQnに対応した入力パッドIN0～INnの接続が確認される。一方、応答信号が変化しなければ出力パッドDQ0～DQnに対応した入力パッドIN0～INnが非接続であることが確認される。

【0057】

その後、テスト信号 ϕ_{ts} がLレベルとなり導通試験モードから通常動作モードに移行したとき、バスドライブ回路25が非活性になり、バスドライブ回路15が活性になる。従って、試験回路14からの信号が遮断されて、内部回路16からの信号がバスドライブ回路15、内部バスBLout、出力バッファ13及び出力パッドDQ0～DQnを介して外部に出力される。

【0058】

なお、クランプ回路45、46は、本実施形態では、各入力パッドIN, IN0～INnを外部電源Vccにクランプするものであったが、グランドレベルにクランプする構成としてもよい。この場合、クランプ回路は、NMOSトランジスタにより構成し、そのゲート端子にHレベルの信号を入力することで入力パッドのクランプを実施する。

【0059】

また、上記の試験方法に限定するものではなく、外部装置から出力される信号の組み合わせや順序等、適宜変更して試験を実施してもよい。

次に、上記実施形態の特徴を以下に述べる。

【0060】

(1) 通常動作時には、バスドライブ回路15を活性化させるとともにバスドライブ25を非活性化させて内部回路16から信号を内部バスBLout及び出力バッファ13を介して出力する。一方、導通試験時には、バスドライブ回路25を活性化させるとともにバスドライブ15を非活性化させて各入力パッドIN, IN0～INnからの入力信号に基づいて内部バスBLout及び出力バッファ13を介して応答信号を出力するようにした。つまり、通常動作時に出力信号を伝達する内部バスBLout及び出力バッファ13を使用して導通試験を行えるようにした。この結果

、導通試験を実施するための回路を搭載する際のチップ面積の増加を抑制できる。

【0061】

(2) 各入力パッドIN, IN0~INnがクランプ回路45, 46によりクランプされているので、誤動作することなく確実に導通試験を実施することができる。

(第2実施形態)

以下、本発明を具体化した第2実施形態を説明する。なお、第1実施形態と同様の構成については、その詳細な説明及び図面を省略する。

【0062】

上記第1実施形態のように、SDRAMに導通試験を実施するため回路を追加したとき、その特性への影響を最小限とする必要がある。このため、本実施形態におけるSDRAMは、図3に示すように、試験回路14を構成する入力論理回路24とバスドライブ回路25とを分離して構成している。具体的には、入力論理回路24が各入力パッドIN0~INnに近接して配設され、バスドライブ回路25が内部バスBLoutに近接して配設される。

【0063】

このようにすれば、SDRAMにおける入力端子の入力容量の増加を抑え、かつ、内部バスBLoutの配線容量の増加を抑えることができる。その結果、試験回路14の追加に伴うアクセスタイムの悪化や、消費電力の増加等を防止することができる。

【0064】

(第3実施形態)

以下、本発明を具体化した第3実施形態を説明する。

上記第1実施形態のように、クランプ回路45, 46のPMOSトランジスタTP6, TP7のゲート端子を接地して、常時クランプ回路45, 46を作動させていると、導通試験が終了した後の通常動作時においてもリーク電流が発生してしまう。このため、本実施形態では、図2のクランプ回路45, 46を、図4に示すクランプ回路50に代えて実施する。つまり、通常動作時においてクランプ回路50が作動しないように構成している。

【0065】

また、本実施形態のSDRAMでは、Lレベルのチップセレクト信号 ϕ_{cs} に基づいて導通試験のためのテストモードにエントリするように構成されている。従って、クランプ回路50は、チップセレクト信号 ϕ_{cs} が入力される入力パッド/C/SをHレベルにクランプする。なお、第1実施形態と同様の構成については、その詳細な説明及び図面を省略する。

【0066】

図4に示すように、クランプ回路50は、PMOSトランジスタTP8を有している。PMOSトランジスタTP8は、外部電源Vccと、入力パッド/csと入力バッファ11との間に接続される。そのPMOSトランジスタTP8のゲート端子には、判定信号 ϕ_{sx} が入力され、該信号 ϕ_{sx} によりクランプ回路50が制御される。この判定信号 ϕ_{sx} は図5に示すスタート回路51及び判定回路52により生成される。

【0067】

詳述すると、スタート回路51は、NMOSトランジスタTN6と3個の抵抗R1～R3とを有している。抵抗R1と抵抗R2とを直列に接続して分圧回路を形成しその分圧回路が外部電源Vccとグランド間に接続される。そして、その分圧回路からの分圧電圧は、NMOSトランジスタTN6のゲート端子に供給される。NMOSトランジスタTN6のドレイン端子は抵抗R3を介して外部電源Vccに接続され、NMOSトランジスタTN6のソース端子は接地されている。

【0068】

従って、図6に示すように、外部装置からSDRAMに外部電源Vccが投入され、その電圧が基準の電圧値まで上昇する過程において分圧回路の分圧電圧は相対的に上昇する。そして、外部電源Vccが基準の電圧値のほぼ半分の値になった時、NMOSトランジスタTN6がオフ状態からオン状態となる。つまり、NMOSトランジスタTN6のドレイン端子の電圧は、HレベルからLレベルに立ち下がり、以後Lレベルの状態が保持される。そして、NMOSトランジスタTN6のドレイン端子にかかる電位が電源投入信号 ϕ_{on} として出力される。つまり、スタート回路51は、外部電源Vccが投入されると、所定の時間後にHレベルからLレ

ベルに立ち下がる電源投入信号 ϕ_{on} を判定回路 52 に出力する。

【0069】

判定回路 52 は、2 個の NMOS ドランジスタ TN7, TN8 と 4 個のインバータ回路 53～56 とを有している。NMOS ドランジスタ TN7, TN8 のソース端子は共に接地され、NMOS ドランジスタ TN7 のドレイン端子と NMOS ドランジスタ TN8 のドレイン端子との間には 2 個のインバータ回路 53, 54 からなるラッチ回路 57 が接続される。NMOS ドランジスタ TN7 のゲート端子には前記電源投入信号 ϕ_{on} が入力され、NMOS ドランジスタ TN8 のゲート端子には外部装置からの所定のコマンド信号（プリチャージコマンド）に基づいて生成されるプリチャージ信号 PALL が入力される。そして、NMOS ドランジスタ TN7 のドレイン端子にかかる電位レベルが 2 つのインバータ 55, 56 を介して判定信号 ϕ_{sx} として出力される。尚、プリチャージコマンドは SDRAM が通常動作に移行する際に最も早く外部装置から出力されるコマンドである。

【0070】

従って、図 6 に示すように電源投入後は、H レベルの電源投入信号 ϕ_{on} により NMOS ドランジスタ TN7 はオンに制御され、NMOS ドランジスタ TN7 のドレイン端子は L レベルとなり NMOS ドランジスタ TN8 のドレイン端子は H レベルとなる。つまり、ラッチ回路 57 が初期セットされ、L レベルの判定信号 ϕ_{sx} が判定回路 52 から出力される。そして、所定時間後に電源投入信号 ϕ_{on} は、H レベルから L レベルに立ち下がり、NMOS ドランジスタ TN7 はオフとなるが、ラッチ回路 57 によりレベルが保持されるため、引き続き L レベルの判定信号 ϕ_{sx} が outputされる。その後、H レベルのプリチャージ信号 PALL が入力されると、NMOS ドランジスタ TN8 がオンとなり、ラッチ回路 57 の保持レベルが反転される。これにより、判定回路 52 から出力される判定信号 ϕ_{sx} が L レベルから H レベルとなる。

【0071】

そして、同判定信号 ϕ_{sx} を図 4 に示すクランプ回路 50 の PMOS ドランジスタ TP8 のゲート端子に入力することにより、PMOS ドランジスタ TP8 は、導通試験の実施中はオンとなり、導通試験後の通常使用時はオフとなる。言い換えれば

、導通試験の実施中は、ラッチ回路50が作動して入力パッド/CSをHレベルにクランプすることができ、通常使用時では、ラッチ回路50が作動せずリーク電流は発生しない。

【0072】

ただし、判定回路52のNMO�トランジスタTN8のゲート端子に入力される信号は、プリチャージ信号PALLに限定することはない。本実施形態のSDRAMにおいて、プリチャージ動作のためのプリチャージコマンド、リフレッシュ動作のためのリフレッシュコマンド、モード設定動作のためのモードレジスタセットコマンドが通常動作モードに移行する際に外部装置から出力される。従って、これらコマンドによって生成されるリフレッシュ信号、モードレジスタセット信号を判定回路52に入力して、判定信号 ϕ_{sx} を生成するように構成してもよい。

【0073】

また、クランプ回路50を適用する入力パッドは、チップセレクト信号 ϕ_{cs} を入力するための入力パッド/CSに限定するものではない。例えば、チップセレクト信号 ϕ_{cs} に加えて、コラムアドレスストローブ信号 ϕ_{CAS} 、クロックイネーブル信号 ϕ_{CKE} を用いてテストモードに移行するSDRAMでは、該信号 ϕ_{CAS} , ϕ_{CKE} を入力する入力パッド/CAS, /CKEにも適用する。

【0074】

次に、上記実施形態の特徴を以下に述べる。

(1) クランプ回路50がない場合、ボード上の配線とSDRAMの外部端子Sとの間で接触不良が生じて入力パッド/CSがオープン状態となると、その入力パッド/csの電位はフローティング状態となる。このとき、図示しない外部装置からの信号がHレベルでの導通試験を実施しないときであっても、誤ってLレベルの信号を取り込んで導通試験にエントリしてしまうこととなる。この状態で、外部装置が別のSDRAMの導通試験を実施すると、本SDRAMと別のSDRAMとからボード上のバス配線に信号が出力されてバスファイトが発生する。しかしながら、本実施形態では、導通試験時において、入力パッド/CSがオープン状態であったとしても、クランプ回路50により入力パッド/CSの電位がHレベルにクランプされる。従って、複数のSDRAMからボード上のバス配線に同時に

信号が出力されることが防止される。つまり、ボード上のバス配線でのバスファイアが防止され、導通試験時におけるSDRAMの故障を防止できる。

【0075】

(2) 導通試験後の通常使用時では、クランプ回路50は動作せず、リーク電流を防止することができる。従って、試験回路の追加に伴うSDRAMの特性に与える影響を低減できる。

【0076】

(第4実施形態)

以下、本発明を具体化した第4実施形態を説明する。本実施形態では、図2のクランプ回路46を、図7に示すクランプ回路60に代えて実施している。なお、第1実施形態と同様の構成については、その詳細な説明及び図面を省略する。

【0077】

本実施形態のSDRAMは、Lレベルのチップセレクト信号 ϕ CSが入力されることで、前記出力活性化信号 ϕ OEにより出力バッファ13を活性化させている。そして、SDRAMは、各出力パッドDQ0～DQnを介して出力信号をボード上のバス配線に出力する。従って、本実施形態では、誤ってテストモードに移行してしまったとしても、チップセレクト信号 ϕ CSをHレベルとすることで、その出力を禁止するようにしている。

【0078】

詳しくは、図7に示すように、クランプ回路60はPMOSトランジスタTP10とインバータ回路61を有している。PMOSトランジスタTP10は、外部電源Vcと、入力パッド/csと入力バッファ11との間に接続される。そして、PMOSトランジスタTP10のゲート端子にインバータ回路61を介してテスト信号 ϕ tsが入力される。

【0079】

具体的に、入力パッド/csがボード上の配線と接続されずにオープン状態であるとき、誤ってLレベルのチップセレクト信号 ϕ CSが内部回路16に入力されて、本SDRAMが導通試験のためのテストモードに移行する。すると、テスト信号 ϕ tsがHレベルとなりクランプ回路60が作動する。つまり、入力パッド/cs

が外部電源Vccにクランプされる。

【0080】

従って、Hレベルのチップセレクト信号 ϕ_{CS} が内部回路16に入力されて同SDRAMからの出力が禁止されるので、複数のSDRAMが搭載されたボード上でのバスファイトを防止することができる。

【0081】

(第5実施形態)

以下、本発明を具体化した第5実施形態を図8に従って説明する。本実施形態では、図2のクランプ回路46を、図8に示すクランプ回路63に代えて実施している。なお、第1実施形態と同様の構成については、その詳細な説明及び図面を省略する。

【0082】

図8に示すようにクランプ回路63は、PMOSトランジスタTP11とNMOSトランジスタTN11とを有している。PMOSトランジスタTP11は、外部電源Vccと、入力パッド/csと入力バッファ11との間に接続され、そのゲート端子は入力バッファ11を構成するインバータ回路20とインバータ回路21との間に接続される。NMOSトランジスタTN11のドレイン端子は入力バッファ11を構成するインバータ回路20とインバータ回路21との間と接続され、NMOSトランジスタTN11のソース端子は接地されている。そして、NMOSトランジスタTN11のゲート端子には既述した電源投入信号 ϕ_{on} が入力される。なお、本実施形態では、PMOSトランジスタTP11とインバータ回路20とによりラッチ回路が構成される。

【0083】

従って、入力パッド/csがオープン状態であれば、電源投入後、電源投入信号 ϕ_{on} によりNMOSトランジスタTN11はオンとなり、インバータ回路20とインバータ回路21との間の電位をLレベルに引き下げる。すると、PMOSトランジスタTP11がオンとなり、入力パッド/csの電位は外部電源Vccレベルにクランプされる。具体的には、オープン状態の入力パッド/csの電位は、外部電源VccからPMOSトランジスタTP11のしきい値電圧分下がった電位レベル($Vcc-V_{thp}$)に

クランプされる。なお、入力電位がVcc-Vthp以上であればリーク電流は流れない。

【0084】

そして、入力バッファ11からはHレベルのチップセレクト信号 ϕ_{cs} が出力される。その後、電源投入信号 ϕ_{on} はLレベルとなりNMOSトランジスタTN11はオフとなるが、インバータ回路20とインバータ回路21との間はLレベルの電位を保持し、引き続き、入力バッファ11からはHレベルのチップセレクト信号 ϕ_{cs} が出力される。

【0085】

一方、入力パッド/csがボード上の配線と接続された状態であれば、外部装置からの入力信号に基づいて入力パッド/csの電位がLレベルまたはHレベルに変化する。このとき、入力パッド/csの電位がHレベルとなると、インバータ回路20とインバータ回路21との間はLレベルとなりPMOSトランジスタTP11はオンする。しかし、入力パッド/csの電位はHレベルでありトランジスタTP11を介して外部電源Vccからリーク電流が流れることはない。また、入力パッド/csの電位がLレベルとなると、インバータ回路20とインバータ回路21との間はHレベルとなりPMOSトランジスタTP11はオフして、PMOSトランジスタTP11を介したリーク電流は流れない。

【0086】

次に、上記実施形態の特徴を以下に述べる。

(1) 導通試験時において、入力パッド/csがオープン状態であったとしても、チップセレクト信号 ϕ_{cs} は、導通試験が活性化されないHレベルとなる。従って、ボードに実装された複数のSDRAMが同時に導通試験を実施することが防止される。その結果、ボード上のバス配線でのバスファイトが防止される。

【0087】

(2) 外部装置からの入力信号に基づいて、入力パッド/csの電位レベルが、Lレベルとなるとクランプ回路63のPMOSトランジスタTP11はオフに制御されるのでリーク電流は流れない。一方、入力パッド/csの電位レベルがHレベルとなってクランプ回路63のPMOSトランジスタTP11はオンするが、入力パッ

ド/csがHレベルであるので、外部電源Vccからリーク電流が流れることはない。つまり、本実施形態のクランプ回路63を用いればのリーク電流を抑制することができる。

【0088】

(第6実施形態)

以下、本発明を具体化した第6実施形態を図9に従って説明する。

外部電源Vccを、例えば3.3Vの電圧レベルとするSDRAMでは、外部装置からの入力信号の電圧振幅を大きめに許して、例えば、4.5Vの信号を入力してもよいように規定している。この場合、上記図8に示した第5実施形態のクランプ回路63を適用すると、通常動作時において、入力パッド/csを介して外部電源Vcc側にリーク電流が流れ、SDRAMの特性に悪影響を与える虞がある。そこで、本実施形態では、図8のクランプ回路63を、図9のクランプ回路64に代えて具体化している。なお、第5実施形態と同様の構成については、その詳細な説明及び図面を省略する。

【0089】

図9に示すように、クランプ回路64は、図8のPMOSトランジスタTP11とNMOSトランジスタTN11に加えて、PMOSトランジスタTP12を有している。PMOSトランジスタTP12は、外部電源VccとPMOSトランジスタTP11との間に接続される。そして、PMOSトランジスタTP12のゲート端子には、前記判定信号 ϕ_{sx} が入力される。

【0090】

従って、外部電源VccがSDRAMに投入されると、図11に示すように、Lレベルの判定信号 ϕ_{sx} により、PMOSトランジスタTP12はオンとなる。また、Hレベルの電源投入信号 ϕ_{on} によりNMOSトランジスタTN11がオンされ、PMOSトランジスタTP11はオンとなる。これにより、入力パッド/CSを外部電源Vccレベルにクランプすることが可能となる。

【0091】

そして、Hレベルのチップセレクト信号 ϕ_{cs} が入力バッファ11から内部回路16に出力される。その後、所定の時間の経過に伴い電源投入信号 ϕ_{on} は、Hレ

ベルからLレベルに立ち下がり、NMOSトランジスタTN11はオフとなる。このとき、入力バッファ11のインバータ回路20とインバータ回路21との間の電位はLレベルが保持されて、引き続きHレベルのチップセレクト信号 ϕ_{cs} が入力バッファ11から内部回路16に出力される。

【0092】

そして、判定信号 ϕ_{sx} がHレベルとなりSDRAMが通常動作モードに移行すると、PMOSトランジスタTP12はオフとなる。つまり、通常動作モードでは、クランプ回路64は活性化されず、外部装置から4.5Vの信号が入力されたときにおいても入力パッド/csから外部電源Vccにリーク電流が流れることを防止できる。

【0093】

また、図9のクランプ回路64を図10に示すクランプ回路65に代えて具体化してもよい。クランプ回路65は、図9の各トランジスタTP11, TP12, TN11に加えて、2個のNMOSトランジスタTN12, TN13、5個のインバータ回路66～70及びノア回路71を有している。

【0094】

詳述すると、NMOSトランジスタTN12, TN13のソース端子は共に接地され、NMOSトランジスタTN12のドレイン端子とNMOSトランジスタTN13のドレン端子との間には、2個のインバータ回路66, 67からなるラッチ回路72が接続される。NMOSトランジスタTN12のドレイン端子はPMOSトランジスタTP12のゲート端子に接続され、NMOSトランジスタTN12のゲート端子はNMOSトランジスタTN11のゲート端子に接続される。NMOSトランジスタTN13のゲート端子には、ノア回路71の入力端子が接続される。そして、テスト信号 ϕ_{ts} が、ノア回路71の一方の入力端子に入力され、その他方の入力端子に3個のインバータ回路68～70を介して入力される。

【0095】

従って、外部電源Vccが投入されると、図11に示すように、Hレベルの電源投入信号 ϕ_{on} によって、NMOSトランジスタTN12がオンされてPMOSトランジスタTP12はオンとなるとともに、NMOSトランジスタTN11がオンされてPM

○ SトランジスタTP11はオンとなる。これにより、入力パッド/csを外部電源Vccレベルにクランプすることが可能となる。つまり、入力パッド/csがオープン状態であれば、Hレベルのチップセレクト信号 ϕ_{cs} が入力バッファ11から内部回路16に出力される。

【0096】

その後、所定の時間の経過に伴い電源投入信号 ϕ_{on} は、HレベルからLレベルに立ち下がり、NMOSトランジスタTN11及びNMOSトランジスタTN12はオフとなる。このとき、PMOSトランジスタTP12のゲート端子の電位はラッチ回路72によりLレベルに保持され、入力バッファ11のインバータ回路20とインバータ回路21との間の電位はLレベルが保持される。このため、引き続きHレベルのチップセレクト信号 ϕ_{cs} が入力バッファ11から内部回路16に出力される。

【0097】

その後、導通試験が終了するタイミング、つまり、テスト信号 ϕ_{ts} がHレベルからLレベルに立ち下がるタイミングで、パルス幅が3個のインバータ回路68～70によって決まる遅延時間と一致するパルス信号がノア回路71から出力される。このとき、NMOSトランジスタTN13がオンされて、ラッチ回路72の保持レベルが反転される。即ち、NMOSトランジスタTN13のドレイン端子の電位がLレベルとなるとともに、NMOSトランジスタTN12のトレイン端子の電位レベルがHレベルとなり、PMOSトランジスタTP12がオフされる。

【0098】

その結果、導通試験の終了後において、クランプ回路65は活性化されず、外部装置から4.5Vの信号が入力されたときにおいても入力パッド/csから外部電源Vccにリーク電流が流れることを防止できる。

尚、実施の形態は上記実施形態に限定されるものではなく、以下のようにして実施してもよい。

【0099】

○上記第3実施形態において、クランプ回路50のPMOSトランジスタTP8のゲート端子に入力される信号をタイマにより生成する構成としてもよい。具体

的には、例えば、タイマをオシレータとカウンタで構成して、導通試験が実施される期間にクランプ回路50のPMOSトランジスタTP8をオンに制御して、試験後の通常動作時では、PMOSトランジスタTP8をオフに制御する。このようにしても、リーク電流を防止できる。

【0100】

○上記第3～第6実施形態では、外部電源Vccで入力パッド/csをクランプするものであったが、これに限定するものではない。例えば、導通試験にエントリするためにはHレベルの信号を入力する入力パッドにおいて、グランドレベルにクランプようにすれば、導通試験に誤ってエントリすることが防止されるので実用上好ましいものとなる。具体的には、NMOSトランジスタを用い、そのドレイン端子を入力パッドと入力バッファ11との間に接続するとともにそのソース端子を接地する。この場合、入力パッドの電位レベルがグランドレベルからNMOSトランジスタのしきい値電圧分上がった電位レベル($V_{ss}-V_{thn}$)にクランプされる。なお、入力電位が $V_{ss}-V_{thn}$ 以上であればリーク電流は流れない。

【0101】

○図4、図7～図10に示すクランプ回路50、60、63～65を、図13に示す従来の半導体記憶装置に適用してもよい。この場合も、導通試験時に入力パッドをクランプでき、かつ通常動作時に流れるリーク電流を防止できる。

【0102】

○バスドライブ回路15、25は、図12に示すように変更してもよい。詳しくは、バスドライブ回路15、25において、活性化信号としてのテスト信号 ϕ_{ts} が、バス配線に近い側のPMOSトランジスタTP2, TP4及びNMOSトランジスタTN1, TN3に入力されている。従って、バスドライブ回路15、25の非活性化時にバスドライブ回路15、25を構成する各MOSトランジスタの入力容量が内部バスBLoutに付加されることを防止することができる。

【0103】

○電源投入信号 ϕ_{on} は、図6又は図11に示すように所定時間オンするものであったが、所定時間オフする信号であってもよい。この場合、所定時間オフする電源投入信号に基づいてクランプ回路を駆動させるように構成すればよい。

【0104】

○上記各実施形態では、SDRAMに具体化していたが、これに限定するものではない。例えば、SDRAM以外のRAMに具体化してもよいし、メモリを具備しない半導体集積回路装置（LSI）に具体化してもよい。

【0105】

○尚、上記各実施形態では、導通試験のための信号を伝達するために、出力用の内部バスBLoutを共用する構成であったが、入力用の内部バスBLinを共用する構成としてもよい。

【0106】

【発明の効果】

以上詳述したように、本発明によれば、導通試験のための回路規模を小さくすることができる。又、試験回路を分割回路配置することで入力容量やバス配線の容量の増加を抑えることができ、容量の増加に伴うアクセス時間の悪化や充放電電流の増加などデバイス特性への影響を最小限とすることができます。

【0107】

さらに、入力端子を所定レベルでクランプして、導通不良に基づいて発生するバスファイトを防止することができる。また、入力端子のクランプを通常動作時には解除するようにしたので、通常動作時におけるリーク電流を防止することができる。

【図面の簡単な説明】

【図1】 第1実施形態におけるSDRAMの一部回路図。

【図2】 各回路の回路構成を説明するための回路図。

【図3】 第2実施形態におけるSDRAMの一部回路図。

【図4】 第3実施形態におけるクランプ回路の回路図。

【図5】 スタート回路及び判定回路の回路図。

【図6】 判定信号の動作を示すタイムチャート。

【図7】 第4実施形態におけるクランプ回路の回路図。

【図8】 第5実施形態におけるクランプ回路の回路図。

【図9】 第6実施形態におけるクランプ回路の回路図。

【図10】 別のクランプ回路の回路図。

【図11】 テスト信号及び判定信号の動作を示すタイムチャート。

【図12】 別のクランプ回路の回路図。

【図13】 導通試験を説明するための半導体装置の一部回路図。

【符号の説明】

14 試験回路

24 入力論理回路

25 バスドライブ回路

45, 46, 50, 60, 63, 64, 65 クランプ回路

IN 入力端子としての入力パッド

DQ 出力端子としての出力パッド

BLout バス配線としての内部バス

ϕ_{cs} チップセレクト信号

ϕ_{ts} 試験活性化信号

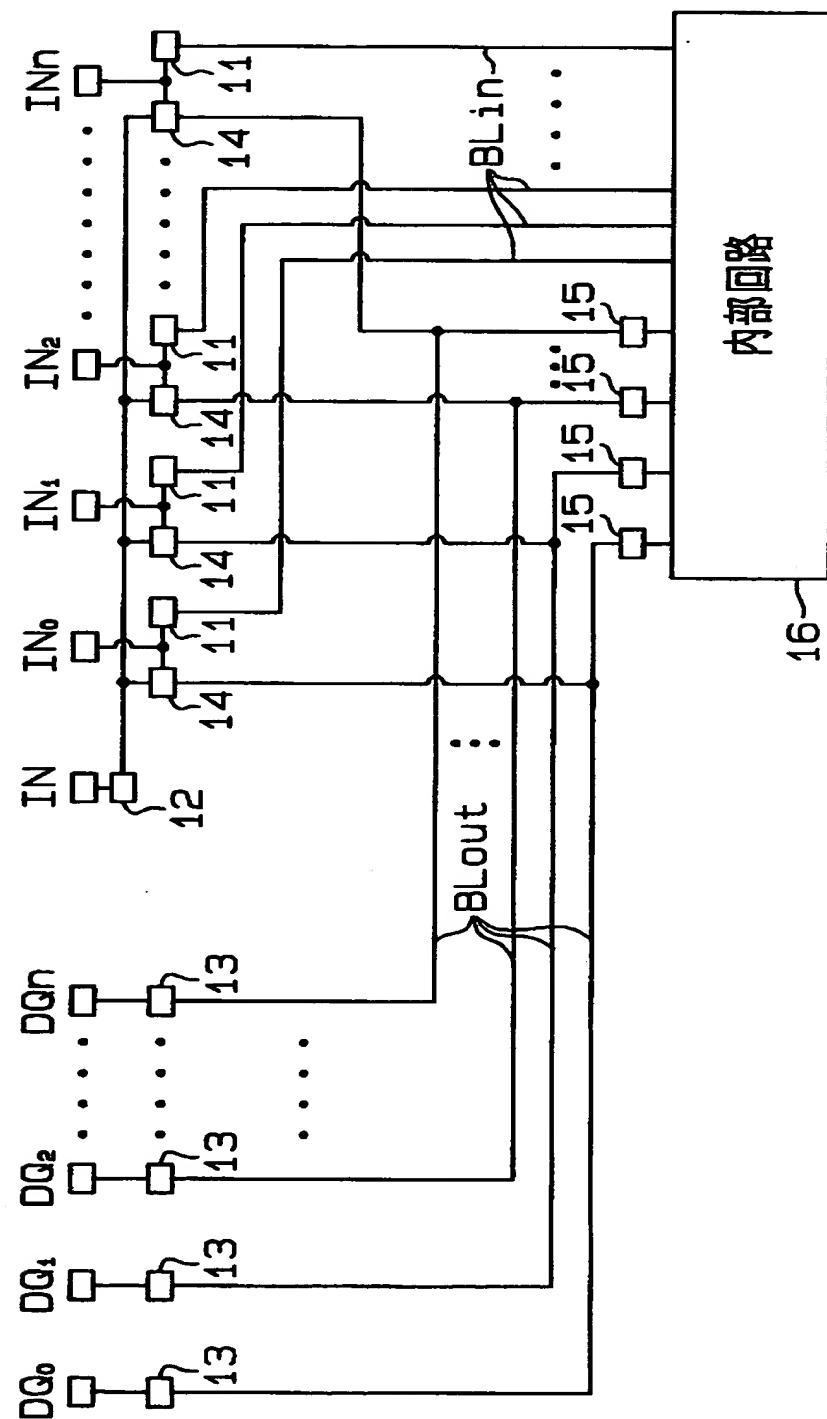
ϕ_{on} 電源投入信号

ϕ_{sx} 判定信号

【書類名】 図面

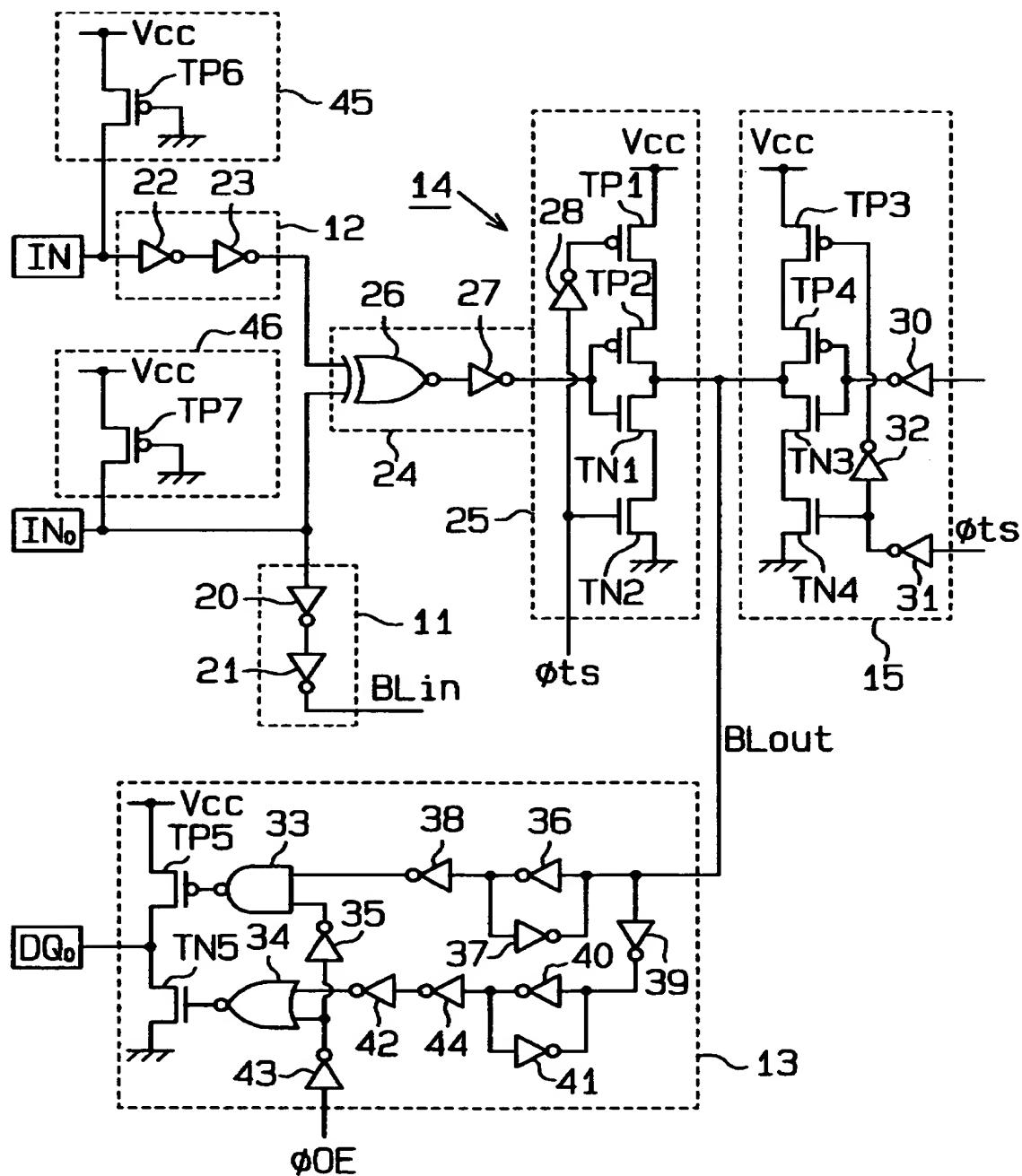
【図1】

第1実施形態におけるSDRAMの一部回路図



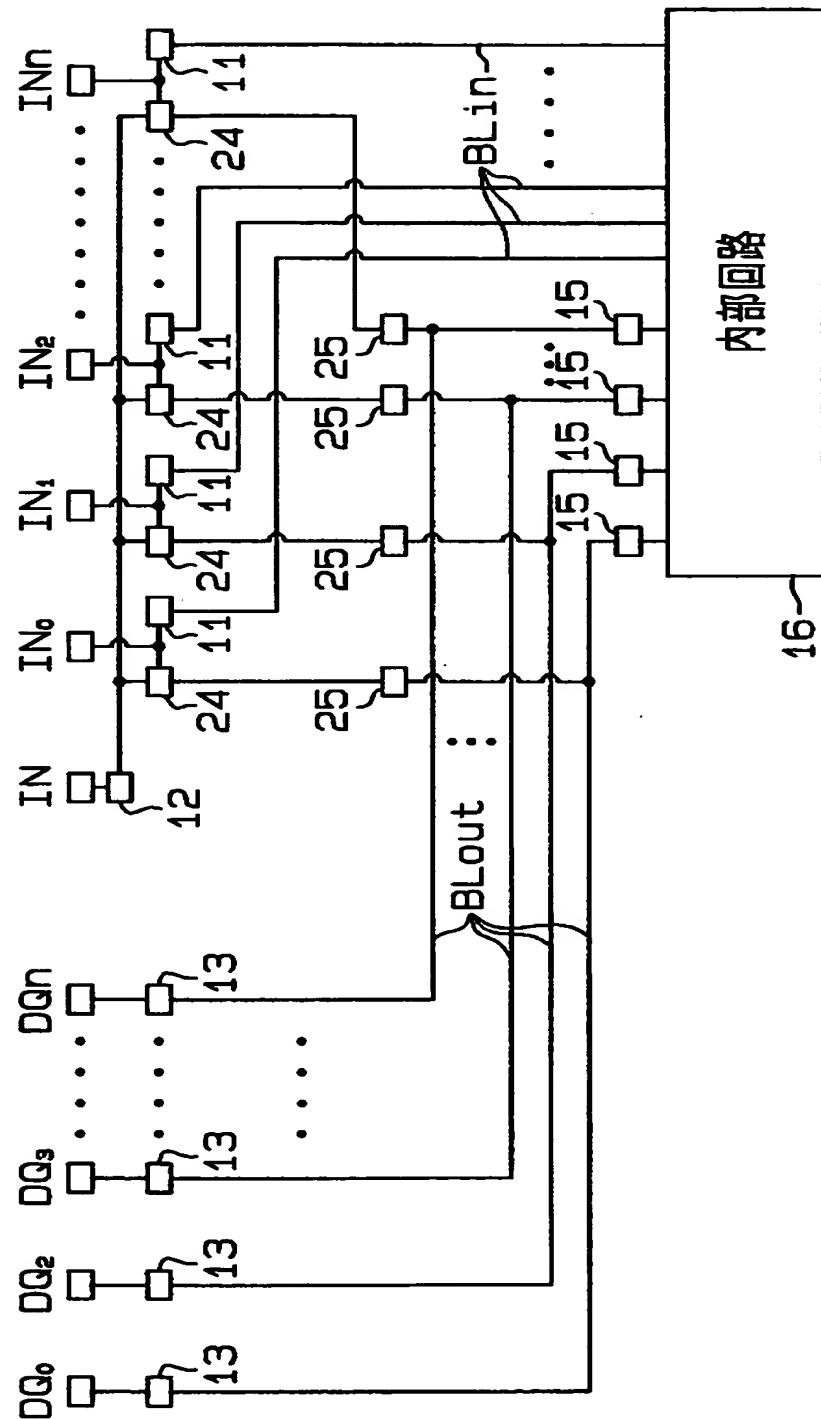
【図2】

各回路の回路構成を説明するための回路図



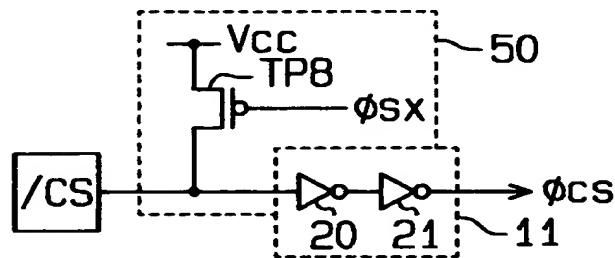
【図3】

第2実施形態におけるSDRAMの一部回路図



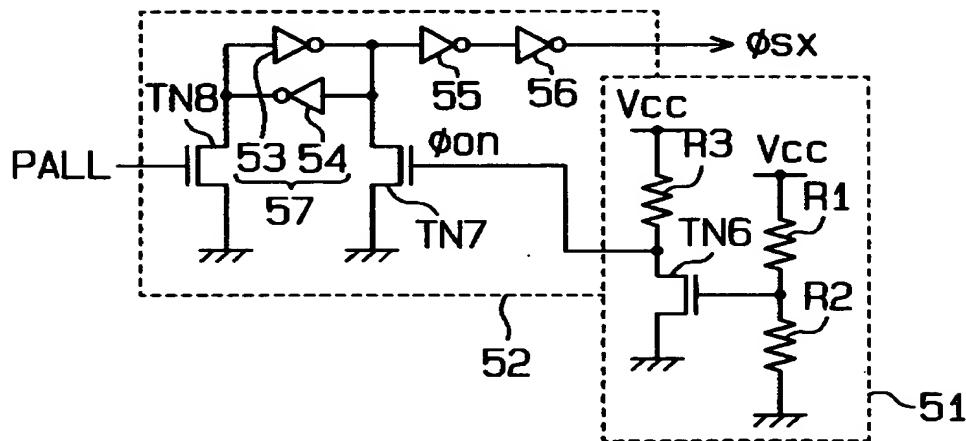
【図4】

第3実施形態におけるクランプ回路の回路図



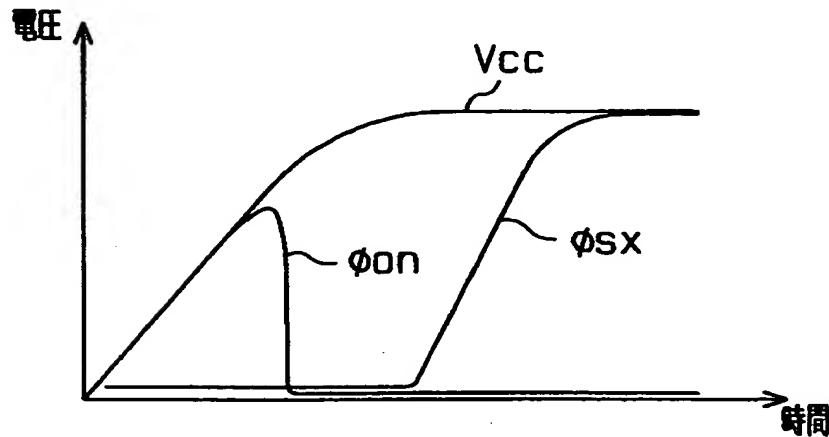
【図5】

スタート回路及び判定回路の回路図



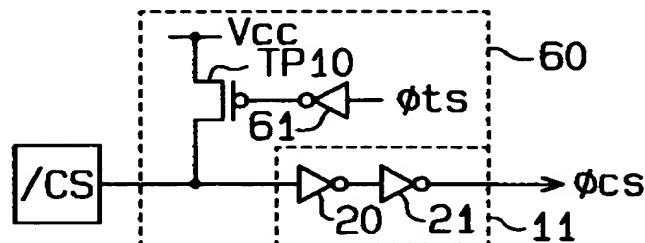
【図6】

判定信号の動作を示すタイムチャート



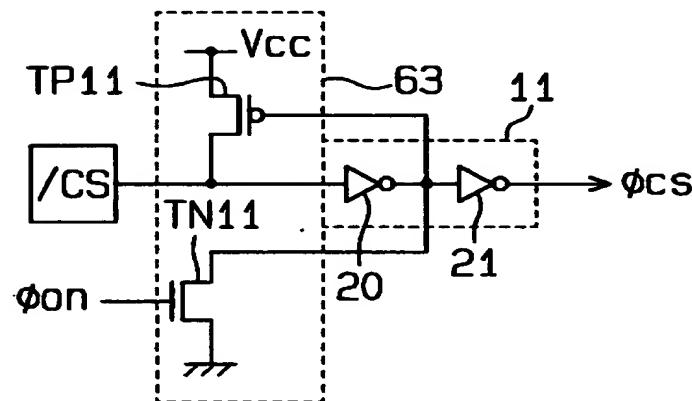
【図7】

第4実施形態におけるクランプ回路の回路図



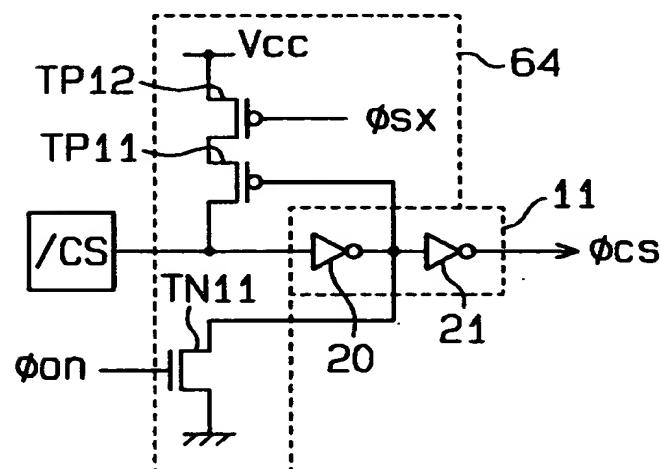
【図8】

第5実施形態におけるクランプ回路の回路図



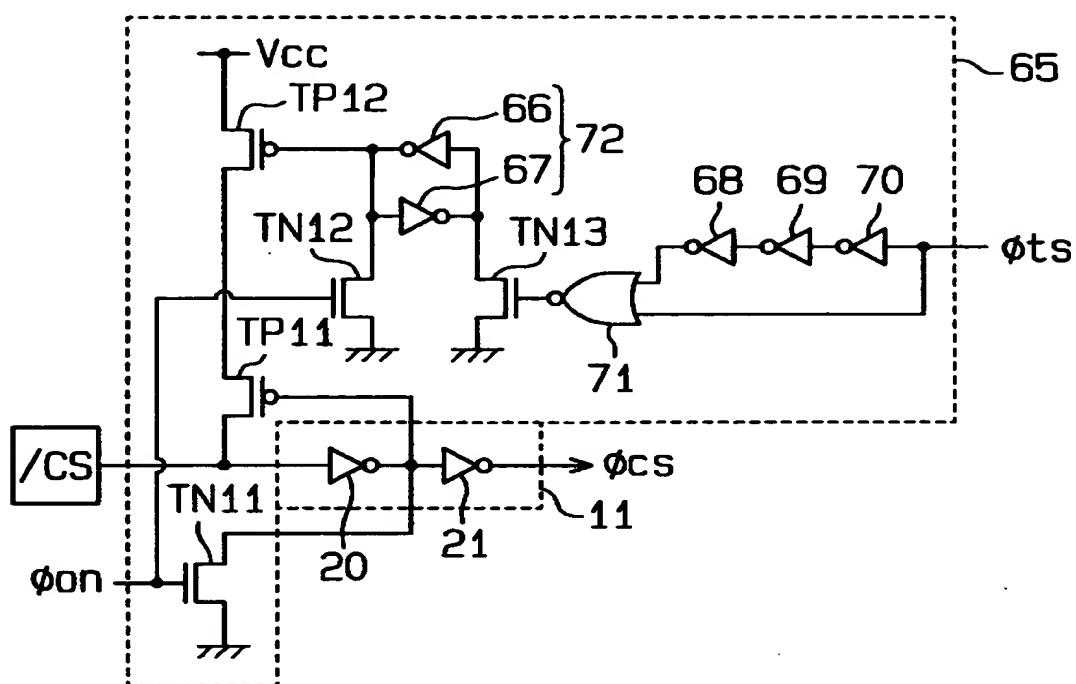
【図9】

第6実施形態におけるクランプ回路の回路図



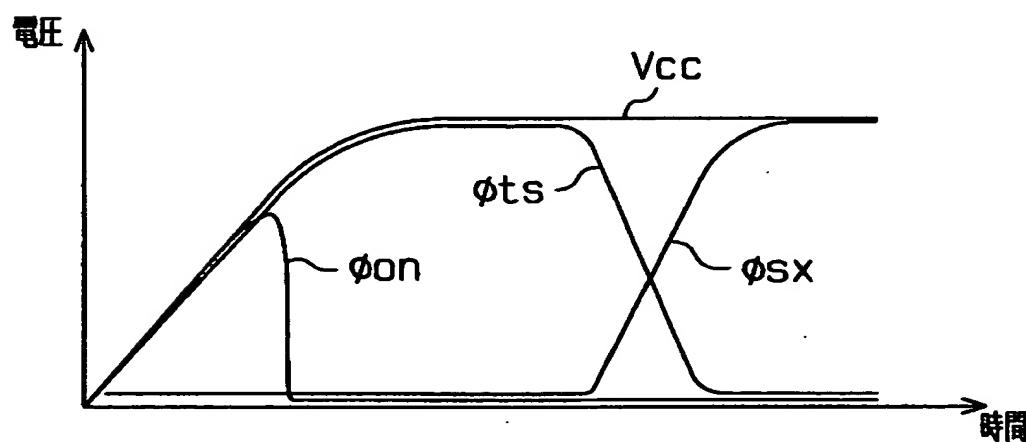
【図10】

別のクランプ回路の回路図



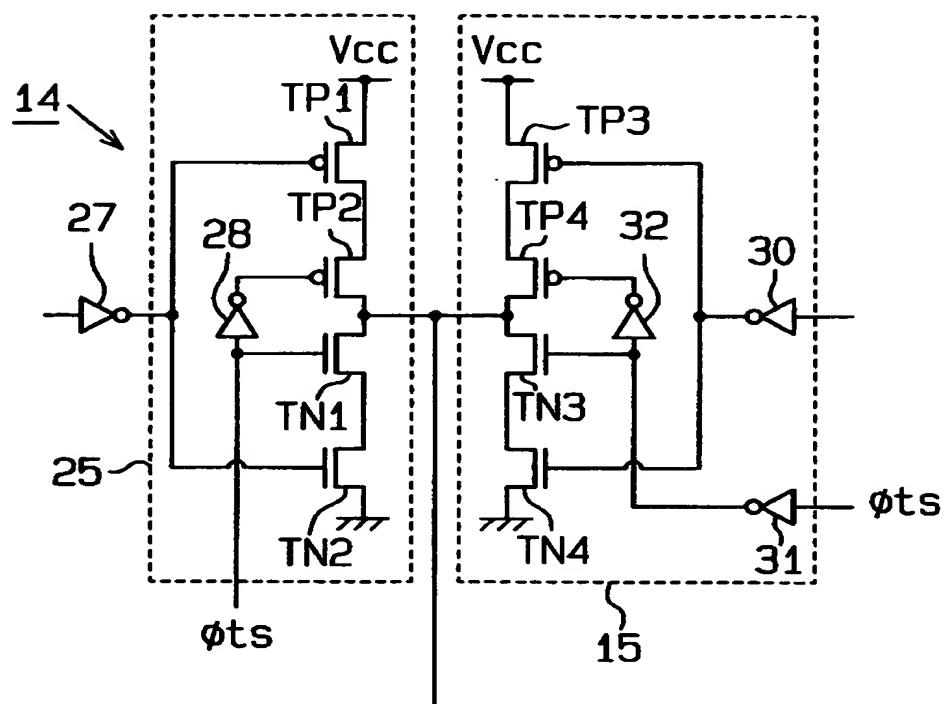
【図11】

テスト信号及び判定信号の動作を示すタイムチャート



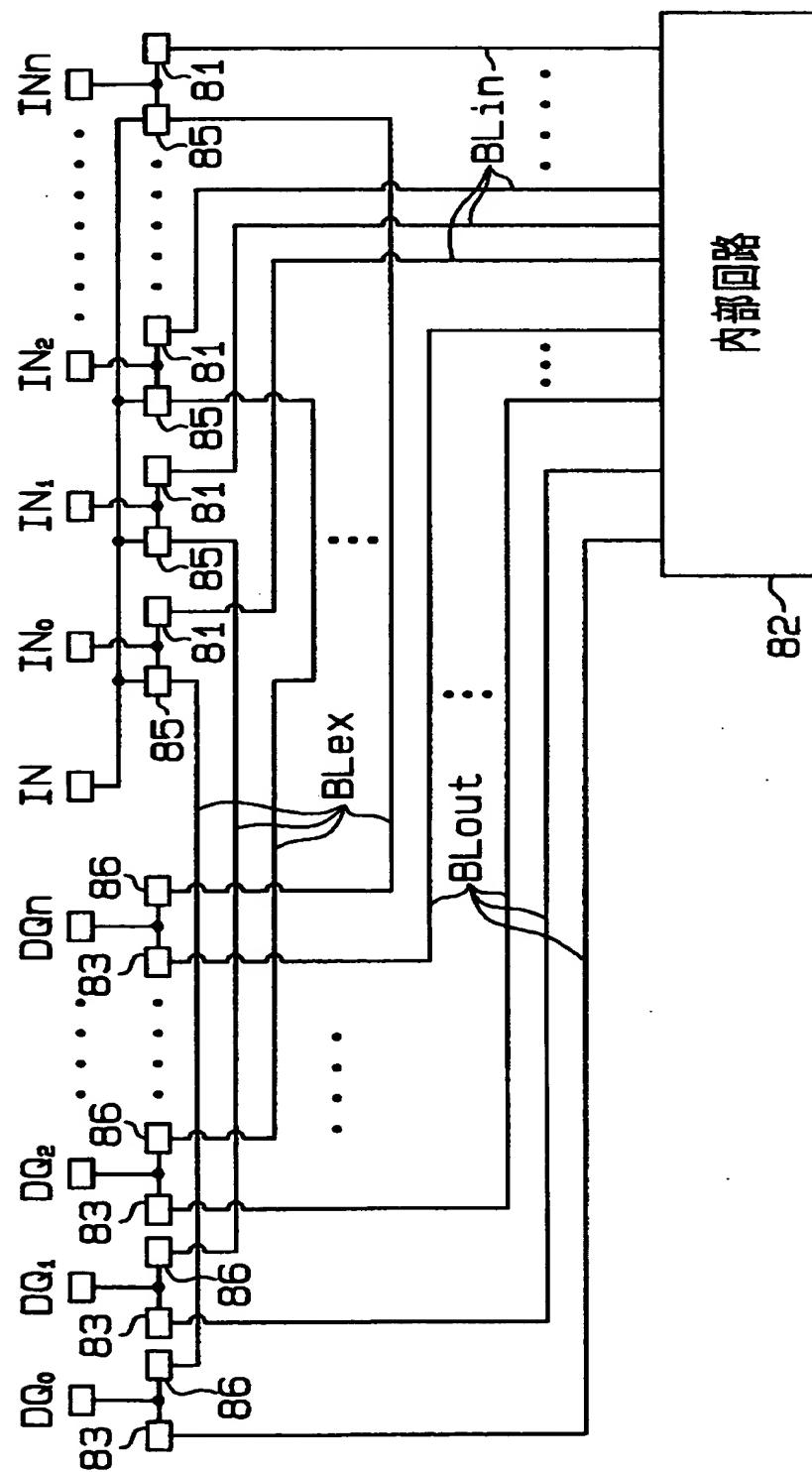
【図1-2】

別のパストライブ回路の回路図



【図13】

導通試験を説明するための半導体装置の一部回路図



【書類名】 要約書

【要約】

【課題】 導通試験のための回路規模を小さくすることができる半導体装置を提供する。

【解決手段】 通常動作時において、入力信号が入力パッドIN0～INnから内部バスBLinを介して内部回路16に入力される。内部回路16は入力信号に応答してバスドライブ回路15、内部バスBLout、出力バッファ13、出力パッドDQ0～DQnを介して出力信号を出力する。試験回路14が内部バスBLoutに接続され、導通試験時において、試験回路14は入力パッドIN, IN0～INnに入力された信号に応答して、内部バスBLout、出力バッファ13、出力パッドDQ0～DQnを介して応答信号を出力する。同信号によりSDRAMの外部端子とボード上のバス配線との導通状態が確認される。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社